

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008355

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H01L 27/10
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 09-158556

(71)Applicant : NEC CORP

(22)Date of filing : 16.06.1997

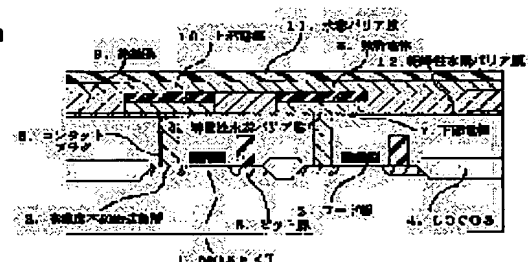
(72)Inventor : TANABE NOBUHIRO

(54) FERROELECTRIC MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration of a ferroelectric capacitor due to hydrogen by inserting a ferroelectric film between lower and upper electrodes to laminate a first hydrogen-barrier film, ferroelectric capacitor and 2 hydrogen-barrier film.

SOLUTION: This memory has an insulative hydrogen-barrier film 13 formed beneath a lower electrode 7 of a ferroelectric capacitor, conductive barrier film 14 which avoids reacting the lower electrode with a contact plug and serves as an hydrogen-barrier and is formed between this plug 6 and lower electrode 7, ferroelectric film 8 formed on the lower electrode 7 with an insulation film 9 filled between each lower electrode 7 and ferroelectric film 8, upper electrode 10 of the capacitor formed on the ferroelectric film 8 and insulation film 9 to cover the entire memory array, and hydrogen-barrier film 2 formed thereon. These films 13, 14, 11 are formed by the CVD, etc.



LEGAL STATUS

[Date of request for examination] 16.06.1997

[Date of sending the examiner's decision of rejection] 10.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8355

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/10
27/108
21/8242
21/8247
29/788

4 5 1

H 0 1 L 27/10
29/78

4 5 1
6 5 1
3 7 1

審査請求 有 請求項の数 5 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平9-158556

(22) 出願日 平成9年(1997) 6月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田辺 伸広

東京都港区芝五丁目7番1号 日本電気株式会社内

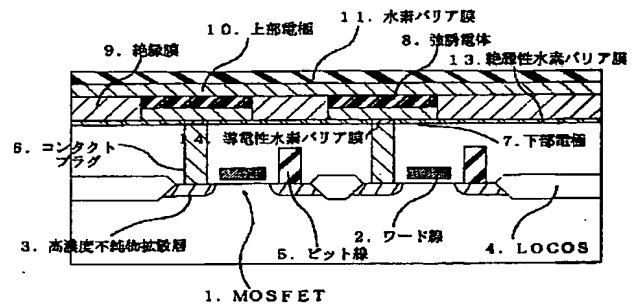
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 強誘電体メモリ

(57) 【要約】

【課題】 強誘電体への水素侵入を防ぐためのバリア膜を用いて、強誘電体容量の横や上からだけではなく、下からの水素侵入も防ぐことにより、水素による強誘電体キャパシタの劣化に起因する誤動作を防止する。

【解決手段】 強誘電体キャパシタの上部電極10の上部に水素バリア膜11を形成し、下部電極7の下部には導電性水素バリア膜14および絶縁性水素バリア膜13を形成する。下部電極7は前記導電性水素バリア膜を介して前記コンタクトプラグ6と接続する。



【特許請求の範囲】

【請求項 1】 半導体基板と該半導体基板上に設けられた強誘電体キャパシタとを有し、前記強誘電体キャパシタは、下部電極と、上部電極と、該上部電極および該下部電極の間に挟まれた強誘電体膜を含む強誘電体メモリにおいて、前記半導体基板上に、第一の水素バリア膜、前記強誘電体キャパシタおよび第二の水素バリア膜をこの順に備えたことを特徴とする強誘電体メモリ。

【請求項 2】 半導体基板と、該半導体基板上に設けられたメモリセルトランジスタと、該メモリセルトランジスタの上部に形成された強誘電体キャパシタとを有し、該強誘電体キャパシタと該メモリセルトランジスタとがコンタクトプラグにより接続され、前記強誘電体キャパシタは、下部電極と、上部電極と、該上部電極および該下部電極の間に挟まれた強誘電体膜とを含む強誘電体メモリにおいて、前記半導体基板上に、第一の水素バリア膜、前記強誘電体キャパシタおよび第二の水素バリア膜をこの順に備え、前記第一の水素バリア膜の所定の部分が導電性水素バリア膜であり他の部分が絶縁性水素バリア膜であって、前記下部電極が前記導電性水素バリア膜を介して前記コンタクトプラグと接続されたことを特徴とする強誘電体メモリ。

【請求項 3】 前記導電性水素バリア膜が TiN 膜である請求項 2 に記載の強誘電体メモリ。

【請求項 4】 前記半導体基板上に前記強誘電体キャパシタを複数有し、隣接する前記強誘電体キャパシタが前記強誘電体膜によって電気的に絶縁された請求項 1 乃至 3 いずれかに記載の強誘電体メモリ。

【請求項 5】 前記第一の水素バリア膜および前記第二の水素バリア膜が、 Si_3N_4 、 TiN 、 TiO_2 または $TiON$ を含む膜である請求項 1 乃至 4 いずれかに記載の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は強誘電体メモリに関し、特に半導体基板上に形成された記憶を保持するための強誘電体キャパシタとスイッチングトランジスタとでメモリセルが構成される強誘電体メモリに関する。

【0002】

【従来の技術】 従来、強誘電体メモリでは、たとえば特開平 4 - 1 0 2 3 6 7 号公報に示されるように、水素バリア膜を用いることによって、製造工程中の強誘電体キャパシタの特性劣化を防ぐ工夫がなされている。

【0003】 図 4 は、特開平 4 - 1 0 2 3 6 7 に示されている、製造工程中の強誘電体キャパシタの特性劣化を防ぐ方法の一例を示す断面図である。

【0004】 p 型シリコン基板 101 上に、ゲート絶縁膜 102 と多結晶シリコン・ゲート 103 と高濃度 n 型領域であるソース・ドレイン領域 104、105 から成る MOSFET、および MOS のアクティブ領域を区画

形成するための厚い酸化膜の LOCOS (局所酸化膜) 106 が形成されている。そして、LOCOS 106 上に層間絶縁膜 107 を挟んで、下部電極 108、強誘電体膜 109、および上部電極 110 から成る強誘電体キャパシタが形成されている。下部電極 108、上部電極 110 はそれぞれアルミ配線 112a、112b によって、トランジスタまたはパッド部へと接続されている。その上に層間絶縁膜 113 を挟んで水素バリア膜 114 が形成されている。水素バリア膜として $TiON$ のような絶縁膜を用いる場合には、層間絶縁膜 113 は必要無い。また、図 5 に示した、特開平 7 - 7 4 3 1 3 に示されている構造を用いても、製造工程中の強誘電体キャパシタ特性劣化を防ぐことができる。

【0005】 この構造では、シリコン基板 201 上に層間絶縁膜 202 が形成されており、その層間絶縁膜に形成されたコンタクトホールに埋め込まれたポリシリコン 203 上にバリアメタル 204、高誘電率膜 205 が形成され、セルアレイ全体を覆うように上部電極用の Al/TiN 膜 206 が形成されている。ここで用いられている TiN には水素バリア性があるため、高誘電率膜 205 を強誘電体膜に置き換えた構造を用いることにより、製造工程中の強誘電体キャパシタ特性劣化を防ぐメモリセル構造が実現する。

【0006】

【発明が解決しようとする課題】 しかし、上述した従来技術には以下に示すような問題点があった。

【0007】 強誘電体キャパシタの側面、および上面は水素バリアによって覆われているので、横および上からの水素の侵入により強誘電体が還元されるのを防ぐことはできるが、下からの水素の侵入を防ぐことはできない。特に、トランジスタのしきい値電圧のばらつきを抑えるために行われる水素中での熱処理工程の際は、強誘電体キャパシタの下に形成されているトランジスタに水素を到達させるため、水素が下から侵入する可能性が高い。

【0008】 本発明の目的は、強誘電体キャパシタ下側からの水素侵入を防ぐためのバリア膜を用いて、水素による強誘電体キャパシタの劣化を防ぐ構造を実現し、信頼性の高い強誘電体メモリを提供することにある。

【0009】

【課題を解決するための手段】 上記課題を解決する本発明の強誘電体メモリは、半導体基板と該半導体基板上に設けられた強誘電体キャパシタとを有し、前記強誘電体キャパシタは、下部電極と、上部電極と、該上部電極および該下部電極の間に挟まれた強誘電体膜を含む強誘電体メモリにおいて、第一の水素バリア膜、前記強誘電体キャパシタおよび第二の水素バリア膜をこの順に備えたことを特徴とする。

【0010】 また、本発明の強誘電体メモリは、半導体基板と、該半導体基板上に設けられたメモリセルトラン

3

ジスタと、該メモリセルトランジスタの上部に形成された強誘電体キャパシタとを有し、該強誘電体キャパシタと該メモリセルトランジスタとがコンタクトプラグにより接続され、前記強誘電体キャパシタは、下部電極と、上部電極と、該上部電極および該下部電極の間に挟まれた強誘電体膜とを含む強誘電体メモリにおいて、前記半導体基板上に、第一の水素バリア膜、前記強誘電体キャパシタおよび第二の水素バリア膜をこの順に備え、前記第一の水素バリア膜の所定の部分が導電性水素バリア膜であり他の部分が絶縁性水素バリア膜であって、前記下部電極が前記導電性水素バリア膜を介して前記コンタクトプラグと接続されたことを特徴とする。

【0011】本発明の強誘電体メモリは、各メモリセルに共通な強誘電体キャパシタ上部電極（図1の10）、その上にメモリセルアレイ全体を覆うように形成されている水素バリア膜（図1の11）、強誘電体キャパシタ下部電極とコンタクトプラグとの間に形成されている導電性水素バリア膜（図1の14）、および強誘電体キャパシタ下部電極層の直下でコンタクトプラグ上を除くメモリセルアレイ部全体に形成された絶縁性水素バリア膜（図1の13）とを有する。上部電極上に形成された水素バリア膜によって、強誘電体キャパシタの横と上からの水素侵入を防ぎ、導電性バリア膜および絶縁性バリア膜によって、下からの水素侵入を防ぐことにより、水素による強誘電体キャパシタの劣化を防ぐ構造を実現している。

【0012】

【発明の実施の形態】本発明の実施の形態について、図面を参照して説明する。

【0013】図1を参照すると、半導体基板上にメモリセルトランジスタとして用いるMOSFET1が形成され、それぞれのMOSFETはLOCOS4によって電気的に分離されている。MOSFETのゲート電極はワード線2として用い、一方の高濃度不純物拡散層3にはビット線5が接続されている。もう一方の高濃度不純物拡散層にはコンタクトプラグ6を介して強誘電体キャパシタの下部電極7に接続されている。下部電極7の直下には絶縁性水素バリア膜13が形成され、コンタクトプラグ6と下部電極7との間には、下部電極とコンタクトプラグとの反応を防ぎ、かつ水素バリアにもなる導電性バリア膜14が形成されている。図1には、コンタクトプラグ6の上のみに導電性バリア膜14が形成されているように描かれているが、異なる下部電極7同士が短絡しない範囲であれば、導電性バリア膜14を広げても良い。下部電極7上には強誘電体薄膜8が形成され、各下部電極7および強誘電体薄膜8の間は絶縁膜9で埋められている。図1には、強誘電体薄膜8の表面と絶縁膜9の表面が同じ高さになっているように描かれているが、絶縁膜9の表面の高さは下部電極7よりも高ければ、強誘電体薄膜8の表面より低くても良い。強誘電体薄膜8

4

および絶縁膜9の上にはメモリセルアレイ全体を覆うように強誘電体キャパシタの上部電極10が形成され、その上には水素バリア膜11が形成されている。

【0014】絶縁性水素バリア膜13、導電性バリア膜14および水素バリア膜11は、それぞれCVD法、スパッタ法等により形成される。これらの膜の厚みは、膜の種類、性質等にもよるが、好ましくは1000～5000Å、さらに好ましくは2000～3000Åとする。1000Å未満では水素バリア性が不足する場合があります。5000Åを越える膜厚としても通常はそれ以上の効果が望めないからである。導電性バリア膜14は、強誘電体キャパシタと、これに対応するメモリセルトランジスタとの導通が保たれる範囲の導電性を有する。一方、絶縁性水素バリア膜13は、強誘電体キャパシタと、これに隣接する強誘電体キャパシタおよびこれに接続するコンタクトプラグとの絶縁性が保たれる範囲の絶縁性を有する。

【0015】次に、本発明の第2の実施の形態について図面を参照して説明する。図2を参照すると、半導体基板上にメモリセルトランジスタとして用いるMOSFET1が形成され、それぞれのMOSFETはLOCOS4によって電気的に分離されている。MOSFETのゲート電極はワード線2として用い、一方の高濃度不純物拡散層3にはビット線5が接続されている。もう一方の高濃度不純物拡散層にはコンタクトプラグ6を介して強誘電体キャパシタの下部電極7に接続されている。下部電極7の直下には水素バリア用の絶縁膜13が形成され、コンタクトプラグ6と下部電極7の間には、下部電極とコンタクトプラグとの反応を防ぎ、かつ水素バリアにもなる導電性バリア膜14が形成されている。図2には、コンタクトプラグ6の上のみに導電性バリア膜14が形成されているように描かれているが、異なる下部電極7同士が短絡しない範囲であれば、導電性バリア膜14を広げても良い。下部電極7上には強誘電体薄膜8が形成され、それらを覆うように絶縁膜9が形成されている。絶縁膜9にはそれぞれの強誘電体薄膜8に対してコンタクト孔12が開けられ、その上にメモリセルアレイ全体を覆うように強誘電体キャパシタの上部電極10が形成され、その上には水素バリア膜11が形成されている。

【0016】次に、本発明の第3の実施の形態について図面を参照して説明する。図3を参照すると、半導体基板上にメモリセルトランジスタとして用いるMOSFET1が形成され、それぞれのMOSFETはLOCOS4によって電気的に分離されている。MOSFETのゲート電極はワード線2として用い、一方の高濃度不純物拡散層3にはビット線5が接続されている。もう一方の高濃度不純物拡散層にはコンタクトプラグ6を介して強誘電体キャパシタの下部電極7に接続されている。下部電極7の直下には水素バリア用の絶縁膜13が形成さ

5

れ、コンタクトプラグ6と下部電極7との間には、下部電極とコンタクトプラグとの反応を防ぎ、かつ水素バリアにもなる導電性バリア膜14が形成されている。図3には、コンタクトプラグ6の上のみに導電性バリア膜14が形成されているように描かれているが、異なる下部電極7同士が短絡しない範囲であれば、導電性バリア膜14を広げても良い。下部電極7上にはメモリセルアレイ全体を覆うように強誘電体薄膜8が形成され、その上に強誘電体キャパシタの上部電極10が形成され、その上には水素バリア膜11が形成されている。隣接する強誘電体キャパシタは、強誘電体膜8によって電気的に絶縁されている。

【0017】本発明の第3の実施の形態は、強誘電体薄膜の微細加工を行わず、また、絶縁膜9を成膜しないことから、第1の実施の形態の効果に加えて、工程削減および工程の簡易化の効果も有する。

【0018】なお、強誘電体キャパシタとメモリセルトランジスタとの接続は、上記の実施形態においてはコンタクトプラグにより接続方式の例を示したが、これに限定されるものではなく、Al合金等の配線材により接続する方式であってもよい。また、上記の実施形態ではメモリセルトランジスタは強誘電体キャパシタの下部電極と接続しているが、上部電極と接続する形態であってもよい。

【実施例】次に、本発明の第1の実施例について図面を参照して説明する。図1を参照すると、半導体基板上にメモリセルトランジスタとして用いるMOSFET1が形成され、それぞれのMOSFETはLOCOS4によって電気的に分離されている。ポリシリコン、またはポリシリコンとWSiあるいはTiSiあるいはCoSi等のシリサイドとの積層構造であるいわゆるポリサイドによって形成されているMOSFETのゲート電極はワード線2として用い、一方の高濃度不純物拡散層3にはビット線5が接続されている。ビット線5の材料としては、耐熱性が高く、かつ基板に形成された接合間のリーク特性を劣化させないWSi等を用いる。もう一方の高濃度不純物拡散層にはポリシリコンまたはWで形成されたコンタクトプラグ6を介して強誘電体キャパシタの下部電極7に接続されている。下部電極7の材料としては、耐酸化性の強いPtや酸化物が導電性であるRu、Irまたそれらの酸化物であるRuO₂、IrO₂を用いる。下部電極7の直下にはSi₃N₄、TiO₂等の水素バリア用の絶縁膜13が形成され、コンタクトプラグ6と下部電極7との間には、下部電極とコンタクトプラグとの反応を防ぎ、かつ水素バリアにもなる導電性バリア膜14が形成されている。導電性バリア膜14としては酸素含有率の少ないTiONまたはTiNを用いることができ、好ましくはTiNを用いる。図1には、コンタクトプラグ6の上のみに導電性バリア膜14が形成されているように描かれているが、異なる下部電極7同士が

6

短絡しない範囲であれば、導電性バリア膜14を広げても良い。下部電極7上にはPZT(PbZr_xTi_{1-x}O₃)、SBT(SrBi₂Ta₂O₉)等の強誘電体薄膜8が形成され、各下部電極7および強誘電体薄膜8の間はSiO₂、Si₃N₄、SiON等の絶縁膜9で埋められている。図1には、強誘電体薄膜8の表面と絶縁膜9の表面が同じ高さになっているように描かれているが、絶縁膜9の表面の高さは下部電極7よりも高ければ、強誘電体薄膜8の表面より低くても良い。強誘電体薄膜8および絶縁膜9の上にはメモリセルアレイ全体を覆うように強誘電体キャパシタの上部電極10が形成され、その上には水素バリア膜11が形成されている。なお、水素バリア膜11の被覆範囲は、図では基板全面にわたっているが、少なくとも誘電体キャパシタを覆う範囲であればよい。上部電極材料としては、下部電極材料として挙げたPt、Ru、Ir、RuO₂、IrO₂等を用いる。また水素バリア膜としては、TiN、TiO₂、TiONまたはSi₃N₄を用いる。

【0019】次に、本発明の第2の実施例について図面を参照して説明する。図2を参照すると、半導体基板上にメモリセルトランジスタとして用いるMOSFET1が形成され、それぞれのMOSFETはLOCOS4によって電気的に分離されている。ポリシリコン、またはポリシリコンとWSiあるいはTiSiあるいはCoSi等のシリサイドとの積層構造であるいわゆるポリサイドによって形成されているMOSFETのゲート電極はワード線2として用い、一方の高濃度不純物拡散層3にはビット線5が接続されている。ビット線5の材料としては、耐熱性が高く、かつ基板に形成された接合間のリーク特性を劣化させないWSi等を用いる。もう一方の高濃度不純物拡散層にはポリシリコンまたはWで形成されたコンタクトプラグ6を介して強誘電体キャパシタの下部電極7に接続されている。下部電極7の材料としては、耐酸化性の強いPtや酸化物が導電性であるRu、Irまたそれらの酸化物であるRuO₂、IrO₂を用いる。下部電極7の直下にはSi₃N₄、TiO₂等の水素バリア用の絶縁膜13が形成され、コンタクトプラグ6と下部電極7との間には、下部電極とコンタクトプラグとの反応を防ぎ、かつ水素バリアにもなる導電性バリア膜14が形成されている。導電性バリア膜14としてはTiNを用いる。図2には、コンタクトプラグ6の上のみに導電性バリア膜14が形成されているように描かれているが、異なる下部電極7同士が短絡しない範囲であれば、導電性バリア膜14を広げても良い。下部電極7上にはPZT、SBT等の強誘電体薄膜8が形成され、それらを覆うようにSiO₂、Si₃N₄、SiON等の絶縁膜9が形成されている。絶縁膜9にはそれぞれの強誘電体薄膜8に対してコンタクト穴12が開けられ、その上にメモリセルアレイ全体を覆うように強誘電体キャパシタの上部電極10が形成され、その上には水素バ

10

20

30

40

50

ア膜 11 が形成されている。上部電極材料としては、下部電極材料として挙げた Pt、Ru、Ir、RuO₂、IrO₂等を用いる。また水素バリア膜としては、TiN、TiO₂、TiON または Si₃N₄を用いる。

【0020】次に、本発明の第3の実施例について図面を参照して説明する。

【0021】図3を参照すると、半導体基板上にメモリセルトランジスタとして用いる MOSFET 1 が形成され、それぞれの MOSFET は LOCOS 4 によって電気的に分離されている。ポリシリコン、またはポリシリコンと WSi あるいは TiSi あるいは CoSi 等のシリサイドとの積層構造であるいわゆるポリサイドによって形成されている MOSFET のゲート電極はワード線 2 として用い、一方の高濃度不純物拡散層 3 にはビット線 5 が接続されている。ビット線 5 の材料としては、耐熱性が高く、かつ基板に形成された接合間のリーク特性を劣化させない WSi 等を用いる。もう一方の高濃度不純物拡散層にはポリシリコンまたは W で形成されたコンタクトプラグ 6 を介して強誘電体キャパシタの下部電極 7 に接続されている。下部電極 7 の材料としては、耐酸化性の強い Pt や酸化物が導電性である Ru、Ir またそれらの酸化物である RuO₂、IrO₂を用いる。下部電極 7 の直下には Si₃N₄、TiO₂等の水素バリア用の絶縁膜 13 が形成され、コンタクトプラグ 6 と下部電極 7 との間には、下部電極とコンタクトプラグとの反応を防ぎ、かつ水素バリアにもなる導電性バリア膜 14 が形成されている。導電性バリア膜 14 としては TiN を用いる。図3には、コンタクトプラグ 6 の上の方に導電性バリア膜 14 が形成されているように描かれているが、異なる下部電極 7 同士が短絡しない範囲であれば、導電性バリア膜 14 を広げても良い。下部電極 7 上にはメモリセルアレイ全体を覆うように PZT、SBT 等の強誘電体薄膜 8 が形成され、その上に強誘電体キャパシタの上部電極 10 が形成され、その上には水素バリア膜 11 が形成されている。隣接する強誘電体キャパシタは、強誘電体膜 8 によって電気的に絶縁されている。上部電極材料としては、下部電極材料として挙げた Pt、Ru、Ir、RuO₂、IrO₂等を用いる。また水素バリア膜としては、TiN、TiO₂、TiON または Si₃N₄を用いる。

【0022】

【発明の効果】以上説明したように、本発明の強誘電体キャパシタは以下に示す効果を有する。

【0023】第1の効果は、強誘電体キャパシタの下側からの水素の侵入を防ぐことができるということである。

【0024】その理由は、強誘電体キャパシタを形成する下地の絶縁膜に水素バリア膜を用い、かつ下部電極とプラグ電極との間に水素バリア膜を用いることにより、強誘電体キャパシタの下側が完全に水素バリア膜によ

て覆われるからである。

【0025】第2の効果は、強誘電体メモリ作製工程の削減および工程の簡易化を図ることができることである。

【0026】その理由は、強誘電体によって下部電極と上部電極を電気的に分離しているため、分離用の絶縁膜を形成する工程を必要とせず、また、強誘電体を下部電極と等しいかまたはほぼ等しい大きさに微細加工する必要が無いからである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す断面図である。

【図2】本発明の第2の実施の形態を示す断面図である。

【図3】本発明の第3の実施の形態を示す断面図である。

【図4】第1の従来例を示す断面図である。

【図5】第2の従来例を示す断面図である。

【符号の説明】

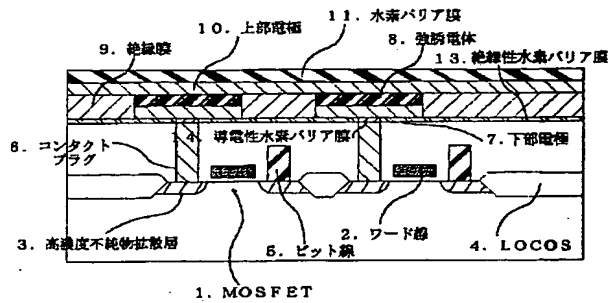
1	MOSFET
2	ワード線
3	高濃度不純物拡散層
4	LOCOS
5	ビット線
6	コンタクトプラグ
7	下部電極
8	強誘電体
9	絶縁膜
10	上部電極
11	水素バリア膜
12	コンタクト孔
13	絶縁性水素バリア膜
14	導電性水素バリア膜
101	p型シリコン基板
102	ゲート絶縁膜
103	多結晶シリコン・ゲート
104	ソース・ドレイン領域
105	ソース・ドレイン領域
106	LOCOS
107	層間絶縁膜
108	下部電極
109	強誘電体膜
110	上部電極
111	層間絶縁膜
112	アルミ配線
113	層間絶縁膜
114	水素バリア膜
201	シリコン基板
202	層間絶縁膜
203	ポリシリコン

204 バリア金属

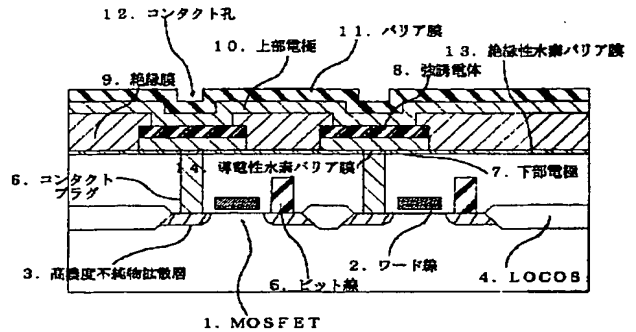
206 上部電極A1/TiN膜

205 高誘電率膜

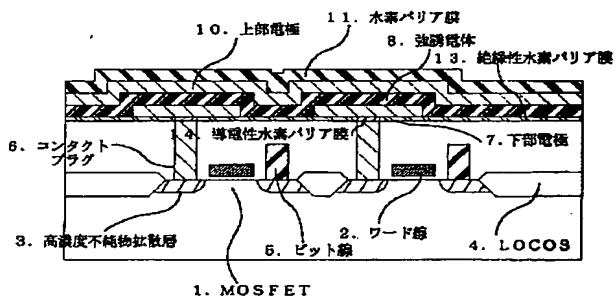
【図1】



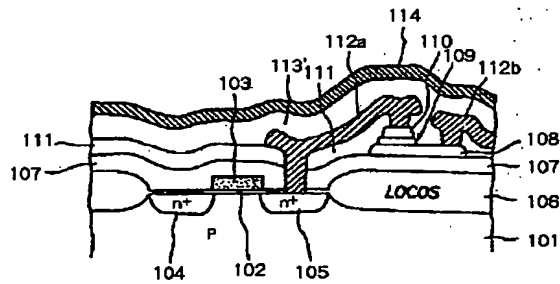
【図2】



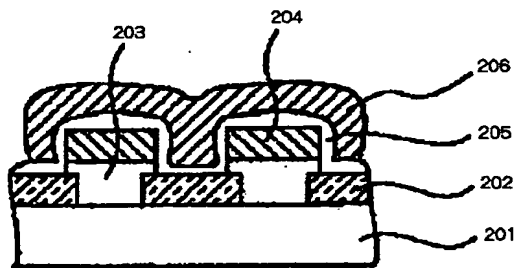
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 29/792